

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent JP62126661
Title: HYBRID INTEGRATED CIRCUIT DEVICE

Abstracted Patent JP62126661

Publication Date: 1987-06-08

Inventor(s): SAKATA HIROMI

Applicant(s): NEC CORP

Application Number: JP19850267712 19851127

Priority Number(s):

IPC Classification: H01L25/04 ; H01L21/60

Equivalents:

ABSTRACT:

PURPOSE: To obtain a high-density, compact hybrid integrated circuit device, by mounting semiconductor pellets not in a planar arrangement but in a stacked state in two layers through resin.

CONSTITUTION: On an insulating substrate 1, on which a wiring conductor 2 is formed, a semiconductor pellet 4 is mounted with a bonding resin 3a. The electrode of the semiconductor pellet 4a and the wiring conductor 2 are bonded with an Au thin wire 5a. Then the semiconductor pellet 4a and the Au thin wire 5a are coated with a coating resin 6a. Thereafter, another semiconductor pellet 4b is mounted on the coating resin 6a, which is coated on the previously provided semiconductor pellet 4a with a bonding resin 3b. Then the pellet is connected with an Au thin wire 5b by the similar way as before. Thereafter, the entire body is coated with a coating resin 6b, and a hybrid integrated circuit device is completed.

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-126661

⑬ Int.Cl.⁴

H 01 L 25/04
21/60

識別記号

庁内整理番号

7638-5F
6732-5F

⑭ 公開 昭和62年(1987)6月8日

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 混成集積回路装置

⑯ 特 願 昭60-267712

⑰ 出 願 昭60(1985)11月27日

⑱ 発 明 者 坂 田 博 美
⑲ 出 願 人 日本電気株式会社
⑳ 代 理 人 弁理士 内 原 晋

東京都港区芝5丁目33番1号 日本電気株式会社内
東京都港区芝5丁目33番1号

明 細 書

1. 発明の名称

混成集積回路装置

2. 特許請求の範囲

複数の半導体ペレットを搭載した混成集積回路装置において、配線導体を形成した絶縁性基板と、該基板上にマウントされた半導体ペレットと、該半導体ペレットと配線導体をボンディングしたAu 網線と、前記半導体ペレットをコーティングした樹脂と、該樹脂上にマウントされた他の半導体ペレットと、該半導体ペレットと配線導体とをボンディングしたAu 網線と、全体をコーティングした樹脂とを含むことを特徴とする混成集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は複数の能動素子を搭載して成る混成集

積回路装置に関する。

〔従来の技術〕

従来、半導体ペレットを2ヶ以上搭載した混成集積回路装置は第2図に示すように絶縁性基板1に配線導体2を形成し半導体ペレット4a, 4bを平面的に配置しAu 網線5でボンディングし樹脂6でコーティングする構成が一般的である。

〔発明が解決しようとする問題点〕

近年、混成集積回路装置の小型化の要求は一層強くなって来ており、従って部品の実装密度を高める事が必要となっている。

しかし、従来の平面的に半導体ペレットを配置する構造では小型化に限界があった。

本発明の目的は、半導体ペレットの絶縁性基板上の配置を改良し、高密度で小型化の達成できる混成集積回路装置を提供することにある。

〔問題点を解決するための手段〕

本発明の混成集積回路装置は、複数の半導体ペレットを搭載した混成集積回路装置において、配線導体を形成した絶縁性基板と、該基板上にマウ

ントされた半導体ペレットと、該半導体ペレットと配線導体をボンディングしたAu 細線と、前記半導体ペレットをコーティングした樹脂と、該樹脂上にマウントされた他の半導体ペレットと、該半導体ペレットと配線導体とをボンディングしたAu 細線と、全体をコーティングした樹脂とを含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。第1図は本発明の一実施例の断面図である。

第1図において、絶縁基板1には配線導体2が形成されており、その絶縁基板1上にまず、接着樹脂3aにより半導体ペレット4aをマウントする。そして半導体ペレット4aの電極と配線導体2をAu 細線5aによりボンディングする。次いでコーティング樹脂6aにより半導体ペレット4a及びAu 細線5aをコーティングする。

次に、別の半導体ペレット4bを先に設置した半導体ペレット4a上にコーティングしたコーテ

- 3 -

レット、5、5a、5b……Au 細線、6、6a、6b……コーティング樹脂。

代理人 弁理士 内 原 賢 一

ィング樹脂6aの上に乗着樹脂3bによりマウントする。次いでAu 細線5bにより先に述べた方法で接続する。その後全体をコーティング樹脂6bによりコーティングすると本実施例の混成集積回路装置が完成する。

本実施例は、従来の混成集積回路とことなり複数の半導体ペレットは平面的配置のみでなく、樹脂を介して二重重ねに重ねられた構成をなしており高密度、小型化に好適な構造を有している。

〔発明の効果〕

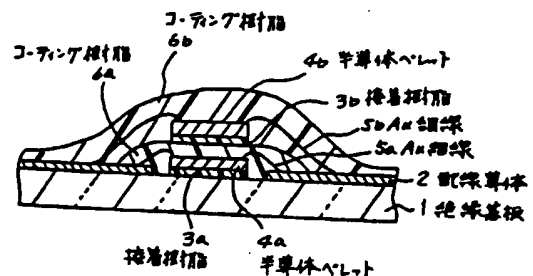
以上説明したように本発明によれば半導体ペレットを平面的配置のみならず樹脂を介して2重重ねて実装する事により高密度小形の混成集積回路装置を得る事が可能となった。

4. 図面の簡単な説明

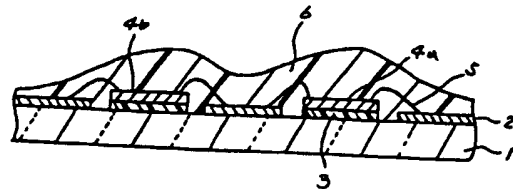
第1図は本発明の一実施例の断面図、第2図は従来の混成集積回路装置の一例の断面図である。

1……絶縁基板、2……配線導体、3、3a、3b……接着樹脂、4、4a、4b……半導体ペ

- 4 -



第1図



第2図